

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日  
Date of Application:

2002年 8月 7日

出願番号  
Application Number:

特願2002-230478

[ST.10/C]:

[JP2002-230478]

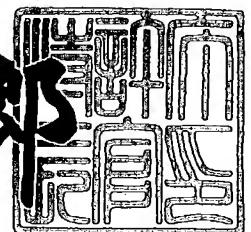
出願人  
Applicant(s):

松下電器産業株式会社

2003年 5月20日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3037474

【書類名】 特許願

【整理番号】 R7005

【提出日】 平成14年 8月 7日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/108

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 中林 隆

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 110000040

【氏名又は名称】 特許業務法人池内・佐藤アンドパートナーズ

【代表者】 池内 寛幸

【電話番号】 06-6135-6051

【手数料の表示】

【予納台帳番号】 139757

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0108331

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項1】 DRAM領域と高速CMOSロジック領域とが混在する半導体装置であって、

前記DRAMのCMOSセンスアンプを構成するN型センスアンプトランジスタのゲート電極対およびP型センスアンプトランジスタのゲート電極対が、それぞれ、ビット線と同一方向に1つの活性領域内に並行に配置され、隣接するN型センスアンプトランジスタ対および隣接するP型センスアンプトランジスタ対が素子分離領域によって絶縁分離されていることを特徴とする半導体装置。

【請求項2】 前記隣接するN型センスアンプトランジスタ対間および前記隣接するP型センスアンプトランジスタ対間の前記素子分離領域上に、前記各センスアンプトランジスタのゲート電極対と並行してフローティング電極が配置されていることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記ゲート電極対および前記フローティング電極がほぼ同一間隔に配置されていることを特徴とする請求項2記載の半導体装置。

【請求項4】 DRAM領域と高速CMOSロジック領域とが混在する半導体装置であって、

前記DRAMのCMOSセンスアンプを構成するN型センスアンプトランジスタのゲート電極対およびP型センスアンプトランジスタのゲート電極対が、それぞれ、ビット線と同一方向に1つの活性領域内に並行に配置され、隣接するN型センスアンプトランジスタ対および隣接するP型センスアンプトランジスタ対において活性領域がそれぞれ接続され、前記活性領域上では、隣接する前記N型センスアンプトランジスタ対間および隣接するP型センスアンプトランジスタ対間に、それぞれ、フィールドシールド電極が、前記各センスアンプトランジスタのゲート電極対と並行して配置されていることを特徴とする半導体装置。

【請求項5】 前記ゲート電極対および前記フィールドシールド電極がほぼ同一間隔に配置されていることを特徴とする請求項4記載の半導体装置。

【請求項6】 DRAM領域と高速CMOSロジック領域とが混在する半導体

装置であって、

前記DRAMのCMOSセンスアンプを構成するN型センスアンプトランジスタのゲート電極対およびP型センスアンプトランジスタのゲート電極対が、それぞれ、ビット線と同一方向に1つの活性領域内に並行に配置され、隣接するN型センスアンプトランジスタ対において活性領域が接続され、前記活性領域上では、隣接する前記N型センスアンプトランジスタ対間に、フィールドシールド電極が、前記N型センスアンプトランジスタのゲート電極対と並行して配置され、隣接するP型センスアンプトランジスタ対が素子分離領域によって絶縁分離され、フローティング電極が、前記P型センスアンプトランジスタ対間の前記素子分離領域上に、前記P型センスアンプトランジスタのゲート電極対と並行して配置されていることを特徴とする半導体装置。

【請求項7】 前記N型センスアンプトランジスタのゲート電極対と前記フィールドシールド電極、および前記P型センスアンプトランジスタのゲート電極対と前記フローティング電極が、それぞれ、ほぼ同一間隔で配置されていることを特徴とする請求項6記載の半導体装置。

【請求項8】 前記N型活性領域上のフィールドシールド電極に、接地電位またはDRAMセルの基板電位に用いる負電圧が印加されることを特徴とする請求項4から7のいずれか一項記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置、特にDRAMと高速CMOSロジック回路が混在する、EDRAM (Embbded DRAM) と称するDRAM混載ロジックLSIに関する。

【0002】

【従来の技術】

LSI製造においては、量産性およびコストを重視する汎用DRAM、および高速、高機能を重視するロジックLSIが双璧とされ、それぞれ生産されてきたが、微細化技術等の進展により、現在この双方の機能を同時に搭載するDRAM

混載ロジック L S I が実現されている。D R A M混載ロジック L S I では、D R A Mとロジック部を接続するバス幅を広くすることができ、この結果、高速なデータ処理が可能である。大量データの高速処理が必須である情報化社会において、キーデバイスとされている所以がここにある。

## 【 0 0 0 3 】

汎用 D R A Mと高速ロジックを混在させるためには、容量膜の形成熱処理時間の短縮等、多くの新規技術、工程改善が必須であるが、D R A Mのセンスアンプのレイアウトに関しても改良が必要である。この問題に関して、図面を参照しながら以下に説明する。

## 【 0 0 0 4 】

図 5 は、従来の D R A Mの C M O Sセンスアンプトランジスタのマスクレイアウトを示す平面図である。

## 【 0 0 0 5 】

図 5 において、領域 I が、P 型半導体基板上に形成された N 型センスアンプトランジスタ対領域、領域 II が、N 型半導体基板上に形成された P 型センスアンプトランジスタ対領域である。センスアンプトランジスタはリング型ゲート電極 5 0 4 を有しており、上下 1 対のトランジスタのリング型ゲート電極 5 0 4 内のドレイン領域と、上層金属配線からなるビット線 5 0 7 とが褥がけで接続され、差動回路を形成している。また、5 0 9 は、1 対のリング型ゲート電極 5 0 4 間のソース領域に接続された電源配線である。

## 【 0 0 0 6 】

本センスアンプにおいては、リング型ゲート電極の 3 辺がチャネルとして用いられるため、小さな面積で、大きなゲート幅を実現でき、能力の高いトランジスタを使用することができる。また、ドレイン領域が、リング型ゲート電極 5 0 4 で囲まれた小さな領域に限定されるため、拡散容量が小さく、高速動作が可能となる。

## 【 0 0 0 7 】

## 【発明が解決しようとする課題】

しかしながら、従来のセンスアンプのレイアウトでは、トランジスタとして作

用しないリング型ゲート電極 5 0 4 の 1 辺と、活性領域 5 0 3 との重なった部分に、寄生容量（ゲートオーバーラップ容量）が形成されるため、高速性を劣化させる要因となる。特に微細化が進行し、たとえば  $0.18\ \mu\text{m}$  ルールにおいては、ゲート酸化膜が  $35\ \text{nm}$  程度にまで薄膜化し、このゲートオーバーラップ容量は極めて大きく、深刻な問題である。

## 【 0 0 0 8 】

また、活性領域の形成工程とゲート電極の形成工程でのマスク合わせずれによって、上下 1 対のトランジスタのゲートオーバーラップ容量が変化するため、トランジスタ対の能力バランスが崩れ、センスアンプの感度が落ちてしまう。

## 【 0 0 0 9 】

また、リング型ゲート電極はそのコーナー部において、リソグラフィ工程での焦点深度 D O F (Depth of Focus) が小さく、ゲート長ばらつきが大きくなり、その結果、トランジスタ対の特性差が発生する。この問題は微細化の進展により、より顕著となる。

## 【 0 0 1 0 】

さらに、リング型ゲート電極内の領域においては、寄生抵抗を低減するためのシリサイド化工程において、高融点金属の堆積膜厚が、カバレッジ不足により薄膜化する。この結果、シリサイド形成不良による接合リークが増大し、センス動作に問題を引き起こし、さらに、回路のスタンバイ電流を増加させる等の問題を引き起こす。

## 【 0 0 1 1 】

本発明は、上記の問題点に鑑みてなされたものであり、その目的は、D R A M のセンスアンプトランジスタ対間の特性差を抑制し、センスアンプの高感度化を図った半導体装置を提供することにある。

## 【 0 0 1 2 】

## 【課題を解決するための手段】

前記の目的を達成するため、本発明に係る第 1 の半導体装置は、D R A M 領域と高速 C M O S ロジック領域とが混在する半導体装置であって、D R A M の C M O S センスアンプを構成する N 型センスアンプトランジスタのゲート電極対およ

びP型センスアンプトランジスタのゲート電極対が、それぞれ、ビット線と同一方向に1つの活性領域内に並行に配置され、隣接するN型センスアンプトランジスタ対および隣接するP型センスアンプトランジスタ対が素子分離領域（STI：Shallow Trench Isolation）によって絶縁分離されていることを特徴とする。

## 【0013】

この構成によれば、センスアンプトランジスタのゲート電極をライン・アンド・スペース状に配置することにより、トランジスタ特性差を抑制し、高性能のセンスアンプを形成することができる。

## 【0014】

また、本発明に係る第1の半導体装置において、隣接するN型センスアンプトランジスタ対間および隣接するP型センスアンプトランジスタ対間の素子分離領域上に、各センスアンプトランジスタのゲート電極対と並行してフローティング電極が配置されていることが好ましい。この場合、ゲート電極対およびフローティング電極がほぼ同一間隔に配置されていることが好ましい。

## 【0015】

上記の構成によれば、センスアンプトランジスタのゲート電極およびフローティング電極をほぼ等間隔にライン・アンド・スペース状に配置することにより、トランジスタ特性差を抑制し、高性能のセンスアンプを形成することができる。

## 【0016】

前記の目的を達成するため、本発明に係る第2の半導体装置は、DRAM領域と高速CMOSロジック領域とが混在する半導体装置であって、DRAMのCMOSセンスアンプを構成するN型センスアンプトランジスタのゲート電極対およびP型センスアンプトランジスタのゲート電極対が、それぞれ、ビット線と同一方向に1つの活性領域内に並行に配置され、隣接するN型センスアンプトランジスタ対および隣接するP型センスアンプトランジスタ対において活性領域がそれぞれ接続され、活性領域上では、隣接するN型センスアンプトランジスタ対間および隣接するP型センスアンプトランジスタ対間に、それぞれ、フィールドシールド電極が、各センスアンプトランジスタのゲート電極対と並行して配置されていることを特徴とする。

## 【0017】

本発明に係る第2の半導体装置において、ゲート電極対およびフィールドシールド電極がほぼ同一間隔に配置されていることが好ましい。

## 【0018】

上記の構成によれば、センスアンプトランジスタのゲート電極およびフィールドシールド電極を、ほぼ等間隔にライン・アンド・スペース状に配置することにより、トランジスタ特性差を抑制し、フィールドシールド分離を用いることによって、トランジスタ活性領域の面積を大きくすることができ、工程ストレスの影響を抑制し、高性能のセンスアンプを形成することができる。

## 【0019】

前記の目的を達成するため、本発明に係る第3の半導体装置は、DRAM領域と高速CMOSロジック領域とが混在する半導体装置であって、DRAMのCMOSセンスアンプを構成するN型センスアンプトランジスタのゲート電極対およびP型センスアンプトランジスタのゲート電極対が、それぞれ、ビット線と同一方向に1つの活性領域内に並行に配置され、隣接するN型センスアンプトランジスタ対において活性領域が接続され、活性領域上では、隣接するN型センスアンプトランジスタ対間に、フィールドシールド電極が、N型センスアンプトランジスタのゲート電極対と並行して配置され、隣接するP型センスアンプトランジスタ対が素子分離領域(STI)によって絶縁分離され、フローティング電極が、P型センスアンプトランジスタ対間の素子分離領域上に、P型センスアンプトランジスタのゲート電極対と並行して配置されていることを特徴とする。

## 【0020】

本発明の第3の半導体装置において、N型センスアンプトランジスタのゲート電極対とフィールドシールド電極、およびP型センスアンプトランジスタのゲート電極対とフローティング電極が、それぞれ、ほぼ同一間隔で配置されていることが好ましい。

## 【0021】

上記の構成によれば、N型センスアンプトランジスタのゲート電極とフィールドシールド電極、およびP型センスアンプトランジスタのゲート電極とフローテ



イング電極を、ほぼ等間隔にライン・アンド・スペース状に配置することにより、トランジスタ特性差を抑制し、N型センスアンプトランジスタ領域にフィールドシールド分離を用い、P型センスアンプトランジスタ領域にSTI分離を用いることによって、工程ストレスの影響を抑制し、電流カット特性の優れた、高性能センスアンプを形成することができる。

#### 【0022】

また、本発明に係る第2または3の半導体装置において、N型活性領域上のフィールドシールド電極に、接地電位またはDRAMセルの基板電位に用いる負電圧が印加されていることが好ましい。

#### 【0023】

##### 【発明の実施の形態】

以下、本発明の好適な実施形態について、図面を参照しながら説明する。

#### 【0024】

##### （第1の実施形態）

図1Aは、本発明の第1の実施形態に係る半導体装置におけるDRAMセンスアンプトランジスタのマスキレイアウトを示す平面図で、図1Bは、図1Aのa-a'線に沿ったN型センスアンプトランジスタ領域Iの断面図である。

#### 【0025】

図1Bにおいて、P型半導体基板101上に素子分離領域（STI）102によって絶縁分離されるトランジスタ活性領域103が形成され、それぞれの活性領域上に、ゲート絶縁膜を介して、ビット線107と同一方向に、1対の直線ゲート電極104が形成される。1対の直線ゲート電極対104間のソース領域105は、ヴィアプラグ108を介して、上層金属配線からなる電源配線（Vss）109に接続される。1対の直線ゲート電極対104の両サイドにおけるドレイン領域106は、それぞれ、ビット線107および対向するゲート電極104に摺がけで接続され、差動回路が形成される。

#### 【0026】

以上のように、本実施形態によれば、ゲート電極104が直線状に、かつ隣接するセンスアンプトランジスタ対同士が規則正しいライン・アンド・スペース状

に配置されるため、リソグラフィ工程での焦点深度DOFを大きくすることができる。この結果、ゲート加工寸法ばらつきを抑制することができ、感度の高いセンスアンプトランジスタを実現することができる。

## 【0027】

したがって、センスアンプトランジスタのゲート電極をライン・アンド・スペース状に配置することにより、トランジスタ特性差を抑制し、高性能のセンスアンプを形成することができる。

## 【0028】

## (第2の実施形態)

図2Aは、本発明の第2の実施形態に係る半導体装置におけるDRAMセンスアンプトランジスタのマスキレイアウトを示す平面図で、図2Bは、図2Aのb-b'線に沿ったN型センスアンプトランジスタ領域Iの断面図である。なお、図2Aおよび図2Bにおいて、それぞれ、図1Aおよび図1Bと同じ部分については、同一の符号を付して説明を省略する。

## 【0029】

本実施形態が第1の実施形態と異なるのは、素子分離領域102上に、ゲート電極104と並行にフローティング電極201を形成した点にある。

## 【0030】

以上のように、本実施形態によれば、ゲート電極104が直線状で、かつ隣接するセンスアンプトランジスタ対同士、およびフローティング電極201が、ほぼ等間隔で規則正しいライン・アンド・スペース状に配置されるため、リソグラフィ工程での焦点深度DOFを最大にすることができる。この結果、ゲート加工寸法ばらつきを抑制することができ、感度の高いセンスアンプトランジスタを実現することができる。

## 【0031】

したがって、センスアンプトランジスタのゲート電極およびフローティング電極をほぼ等間隔にラインアンドスペース状に配置することにより、トランジスタ特性差を抑制し、高性能のセンスアンプを形成することができる。

## 【0032】

## (第 3 の実施形態)

図 3 A は、本発明の第 3 の実施形態に係る半導体装置における D R A M センスアンプトランジスタのマスクレイアウトを示す平面図で、図 3 B は、図 3 A の c - c ' 線に沿った N 型センスアンプトランジスタ領域 I の断面図である。なお、図 3 A および図 3 B において、それぞれ、図 1 A および図 1 B と同じ部分については、同一の符号を付して説明を省略する。

## 【 0 0 3 3 】

本実施形態が第 1 の実施形態と異なるのは、素子分離領域 1 0 2 を削除して、より大きな面積のトランジスタ活性領域 3 0 3 を形成し、また隣接するゲート電極対 1 0 4 間に、ゲート電極 1 0 4 と並行にフィールドシールド電極 3 0 1 を形成した点にある。

## 【 0 0 3 4 】

このフィールドシールド電極 3 0 1 を  $V_{ss}$  (0 V) あるいは  $V_{bb}$  (セル内基板電圧：負電圧) に固定することにより、各トランジスタ対間を電氣的に分離する。このため、この領域において S T I 分離が不要になる。

## 【 0 0 3 5 】

以上のように、本実施形態によれば、ゲート電極 1 0 4 が直線状、かつ隣接するセンスアンプトランジスタ対同士、およびフィールドシールド電極 3 0 1 が、ほぼ等間隔で規則正しいライン・アンド・スペース状に配置されるため、リソグラフィ工程での焦点深度 D O F を最大にすることができる。この結果、ゲート加工寸法ばらつきを抑制することができ、トランジスタの特性ばらつきを小さくすることができる。

## 【 0 0 3 6 】

また、S T I 分離が不要になるため、S T I 形成工程等による残留ストレスの影響を抑制することができ、かつより大きな面積のトランジスタ活性領域 3 0 3 を形成することができ、特性ばらつきを発生させることがない。この結果、感度の高いセンスアンプトランジスタを実現できる。

## 【 0 0 3 7 】

したがって、センスアンプトランジスタのゲート電極およびフィールドシールド

ド電極を、ほぼ等間隔にライン・アンド・スペース状に配置することにより、トランジスタ特性差を抑制し、フィールドシールド分離を用いることによって、トランジスタ活性領域の面積を大きくすることができ、工程ストレスの影響を抑制し、高性能のセンスアンプを形成することができる。

## 【0038】

## (第4の実施形態)

図4 Aは、本発明の第4の実施形態に係る半導体装置におけるDRAMセンスアンプトランジスタのマスキレイアウトを示す平面図で、図4 Bは、図4 Aのd-d'線に沿ったN型センスアンプトランジスタ領域Iの断面図で、図4 Cは、図4 Aのe-e'線に沿ったP型センスアンプトランジスタ領域IIの断面図である。

## 【0039】

本実施形態は、第3の実施形態に従ってN型センスアンプトランジスタ領域Iを形成し、また第2の実施形態に従ってP型センスアンプトランジスタ領域IIを形成したものである。

## 【0040】

図4 Bに示すように、N型センスアンプトランジスタ領域Iにおいては、P型半導体基板101上のトランジスタ活性領域303上に、ゲート絶縁膜を介して、ビット線107と同一方向に、1対の直線ゲート電極104が形成される。隣接するゲート電極対104間には、ゲート電極104と並行にフィールドシールド電極301が形成される。このフィールドシールド電極301をVss(0V)あるいはVbb(セル内基板電圧：負電圧)に固定することにより、各トランジスタ対間が電氣的に分離される。ゲート電極対104間におけるソース領域105は、ヴィアプラグ108を介して、上層金属配線からなる電源配線(Vss)に接続される。このため、この領域においてSTI分離が不要になる。ゲート電極対104間における両サイドのドレイン領域106はそれぞれビット線107、および対向するゲート電極104に櫛がけで接続され、N型MOS差動回路が形成される。

## 【0041】

一方、図4Cに示すように、P型センスアンプトランジスタ領域IIにおいては、N型半導体基板401上に素子分離領域(STI)402によって絶縁分離されるトランジスタ活性領域403が形成され、それぞれの活性領域上に、ゲート絶縁膜を介して、ビット線107と同一方向に、1対の直線ゲート電極404が形成される。素子分離領域上には、ゲート電極424と並行にフローティング電極201が形成される。ゲート電極対404間におけるソース領域405は、ヴィアプラグ408を介して、上層金属配線からなる電源配線(Vcc)に接続される。ゲート電極対404間における両サイドのドレイン領域406はそれぞれビット線107、および対向するゲート電極404に櫛がけで接続され、P型MOS差動回路が形成される。

#### 【0042】

以上のように、本実施形態によれば、隣接するN型センスアンプトランジスタ対とフィールドシールド電極301が、および隣接するP型センスアンプトランジスタ対とフローティング電極201が、それぞれ、ほぼ等間隔で規則正しいライン・アンド・スペース状に配置されるため、リソグラフィ工程での焦点深度DOFを最大にすることができる。この結果、ゲート加工寸法ばらつきを抑制することができ、トランジスタの特性ばらつきを小さくすることができる。

#### 【0043】

また、STIストレスの影響を受けやすいN型トランジスタ活性領域303においてSTI分離が不要になるため、このN型トランジスタ活性領域303の面積を大きくでき、その特性ばらつきを抑制することができる。P型センスアンプトランジスタ領域IIは、フィールドシールド分離では、電流カット特性がN型に比べ低くなっているが、もともとSTIからのストレスの影響が少ないため、トランジスタ活性領域を細分しても問題がない。この結果、N型トランジスタでは、STI形成工程等による残留ストレスの影響を抑制することができ、特性ばらつきを発生させることがなく、P型トランジスタでは素子分離特性の優れた、高感度、高性能のセンスアンプトランジスタを実現できる。

#### 【0044】

したがって、N型センスアンプトランジスタのゲート電極とフィールドシールド

ド電極、およびP型センスアンプトランジスタのゲート電極とフローティング電極を、ほぼ等間隔にライン・アンド・スペース状に配置することにより、トランジスタ特性差を抑制し、N型センスアンプトランジスタ領域にフィールドシールド分離を、P型センスアンプトランジスタ領域にSTI分離を用いることによって、工程ストレスの影響を抑制し、電流カット特性の優れた、高性能のセンスアンプを形成することができる。

【0045】

【発明の効果】

以上説明したように、本発明によれば、DRAMのセンスアンプトランジスタ対間の特性差を抑制し、感度の高いセンスアンプを実現できる。

【図面の簡単な説明】

【図1A】 本発明の第1の実施形態に係る半導体装置におけるDRAMセンスアンプトランジスタのマスキレイアウトを示す平面図

【図1B】 図1Aのa-a'線に沿ったN型センスアンプトランジスタ領域Iの断面図

【図2A】 本発明の第2の実施形態に係る半導体装置におけるDRAMセンスアンプトランジスタのマスキレイアウトを示す平面図

【図2B】 図2Aのb-b'線に沿ったN型センスアンプトランジスタ領域Iの断面図

【図3A】 本発明の第3の実施形態に係る半導体装置におけるDRAMセンスアンプトランジスタのマスキレイアウトを示す平面図

【図3B】 図3Aのc-c'線に沿ったN型センスアンプトランジスタ領域Iの断面図

【図4A】 本発明の第4の実施形態に係る半導体装置におけるDRAMセンスアンプトランジスタのマスキレイアウトを示す平面図

【図4B】 図4Aのd-d'線に沿ったN型センスアンプトランジスタ領域Iの断面図

【図4C】 図4Aのe-e'線に沿ったP型センスアンプトランジスタ領域IIの断面図

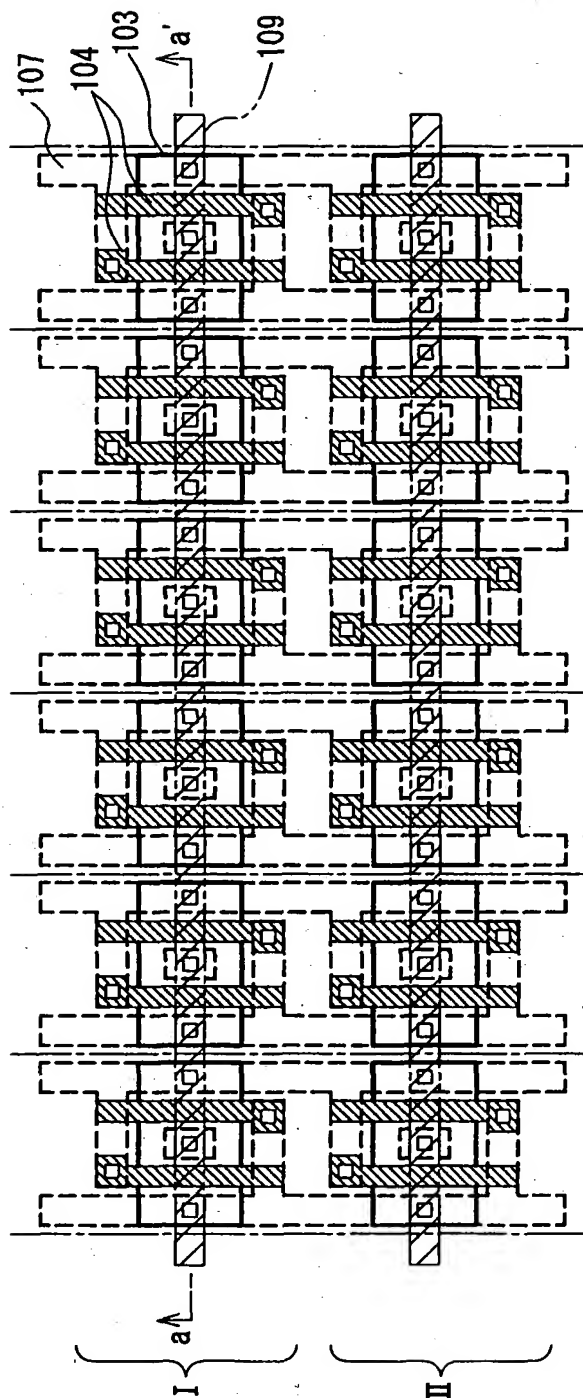
【図 5】 従来の半導体装置における D R A M センスアンプトランジスタのマ  
スクレイアウトを示す平面図

【符号の説明】

- 1 0 1 P 型半導体基板
- 1 0 2、4 0 2 素子分離領域 ( S T I )
- 1 0 3、3 0 3、4 0 3 センスアンプトランジスタ活性領域
- 1 0 4、4 0 4 ゲート電極
- 1 0 5、4 0 5 ソース領域
- 1 0 6、4 0 6 ドレイン領域
- 1 0 7 ビット線 ( 第 1 金属配線 )
- 1 0 8、4 0 8 ヴィアプラグ
- 1 0 9 電源配線 ( V s s )
- 2 0 1 フローティング電極
- 3 0 1 フィールドシールド電極
- 4 0 1 N 型半導体基板
- 4 0 9 電源配線 ( V c c )
- I N 型センスアンプトランジスタ領域
- II P 型センスアンプトランジスタ領域

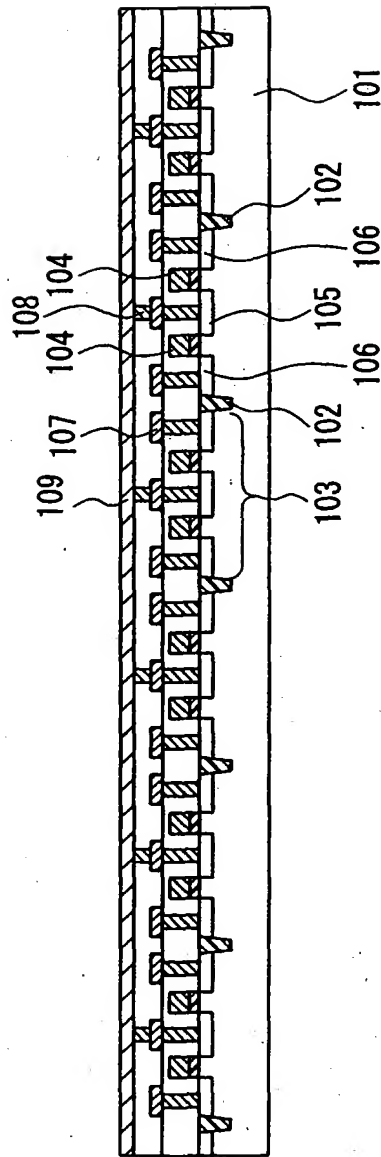
【書類名】 図面

【図1A】

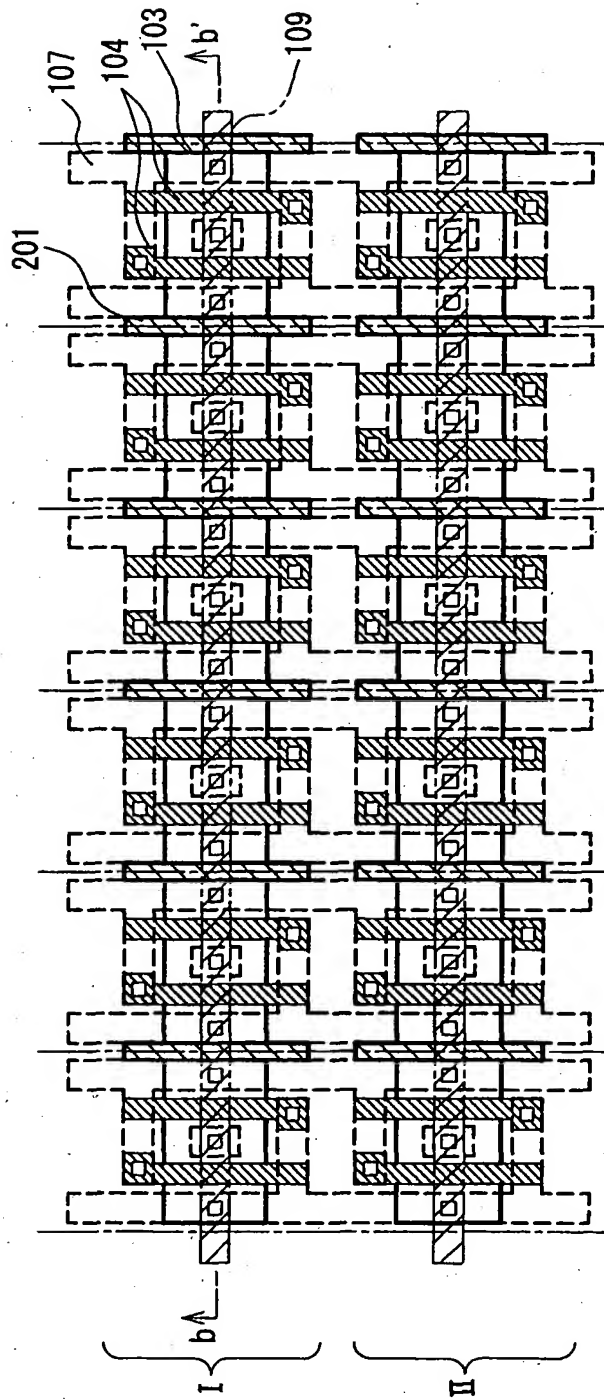




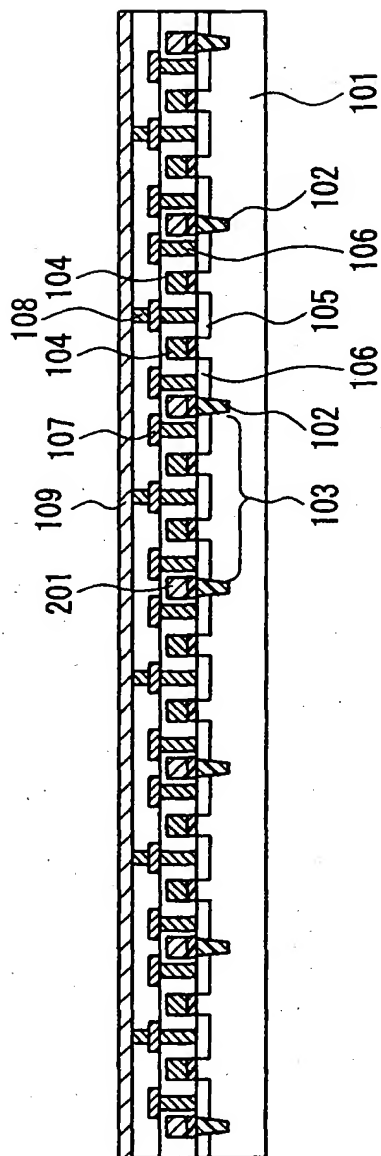
【図 1 B】



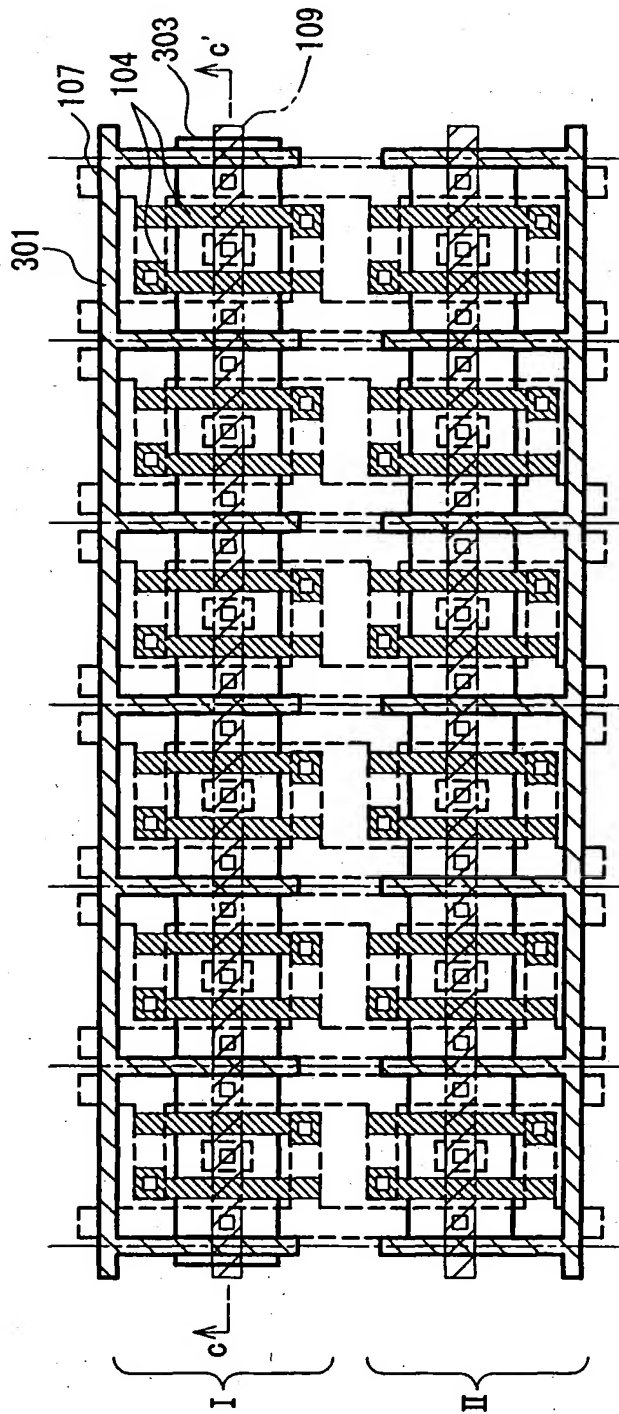
【図2A】



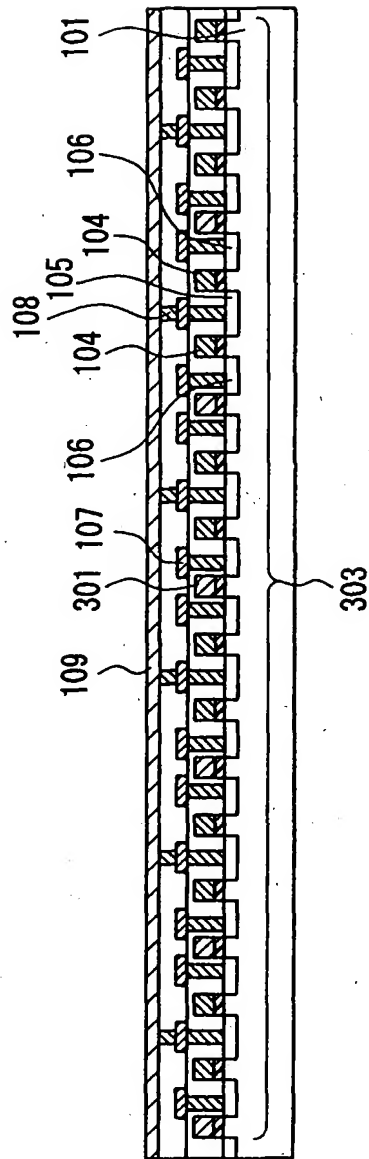
【図 2 B】



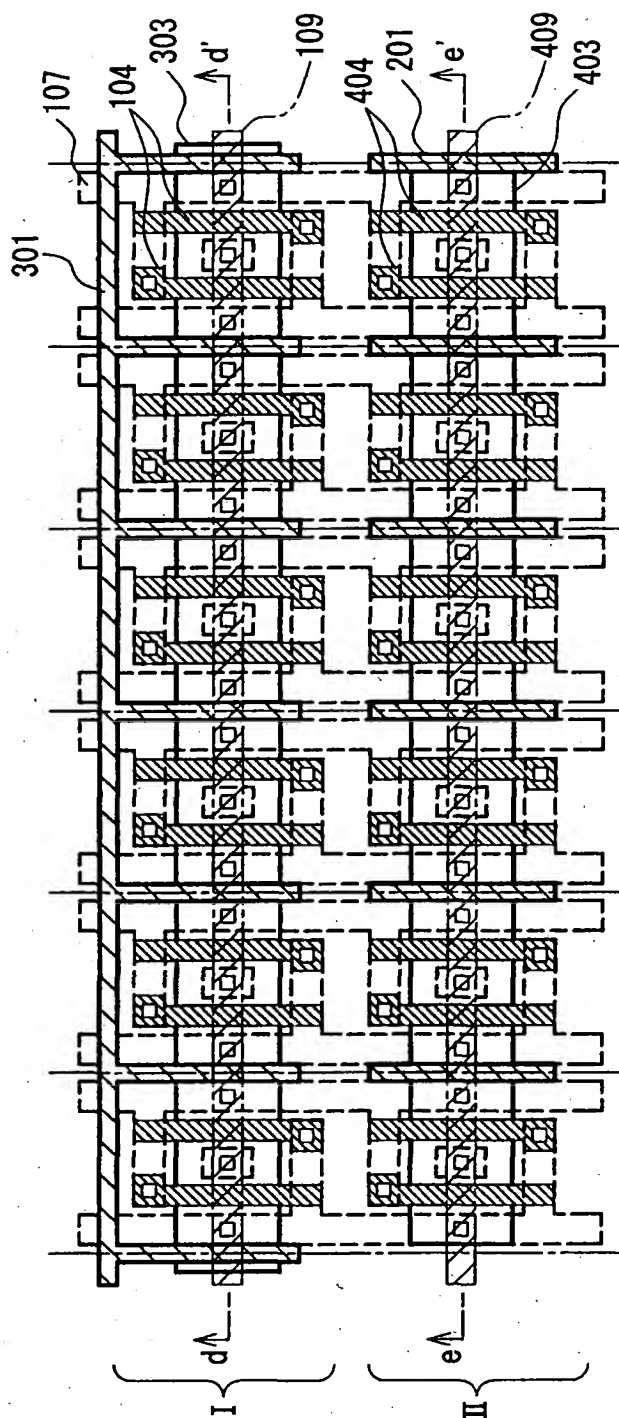
【図 3 A】



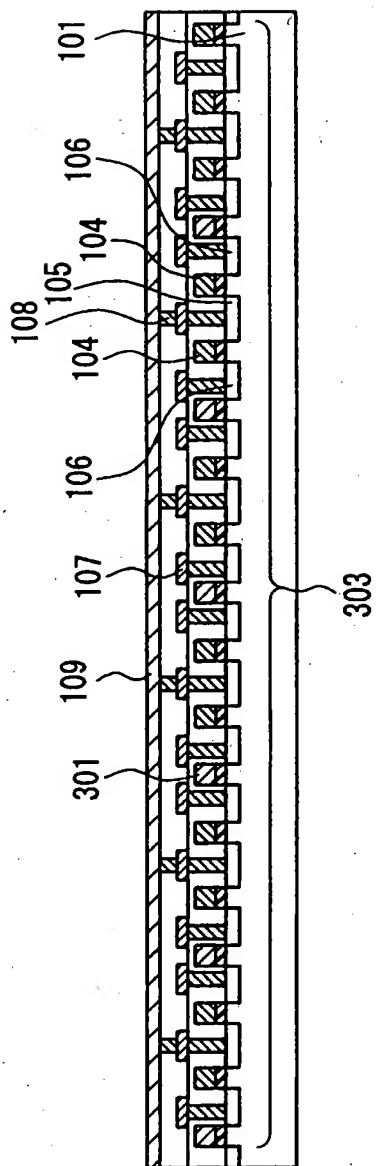
【図 3 B】



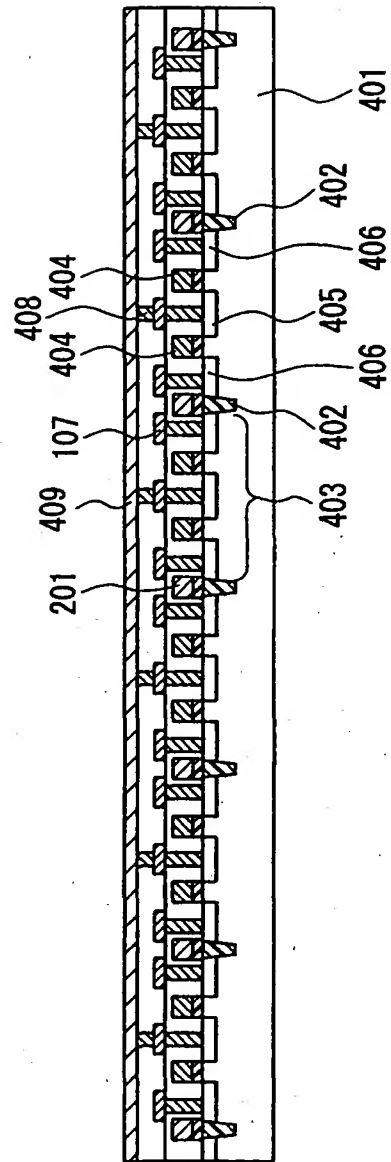
【図 4 A】



【図 4 B】

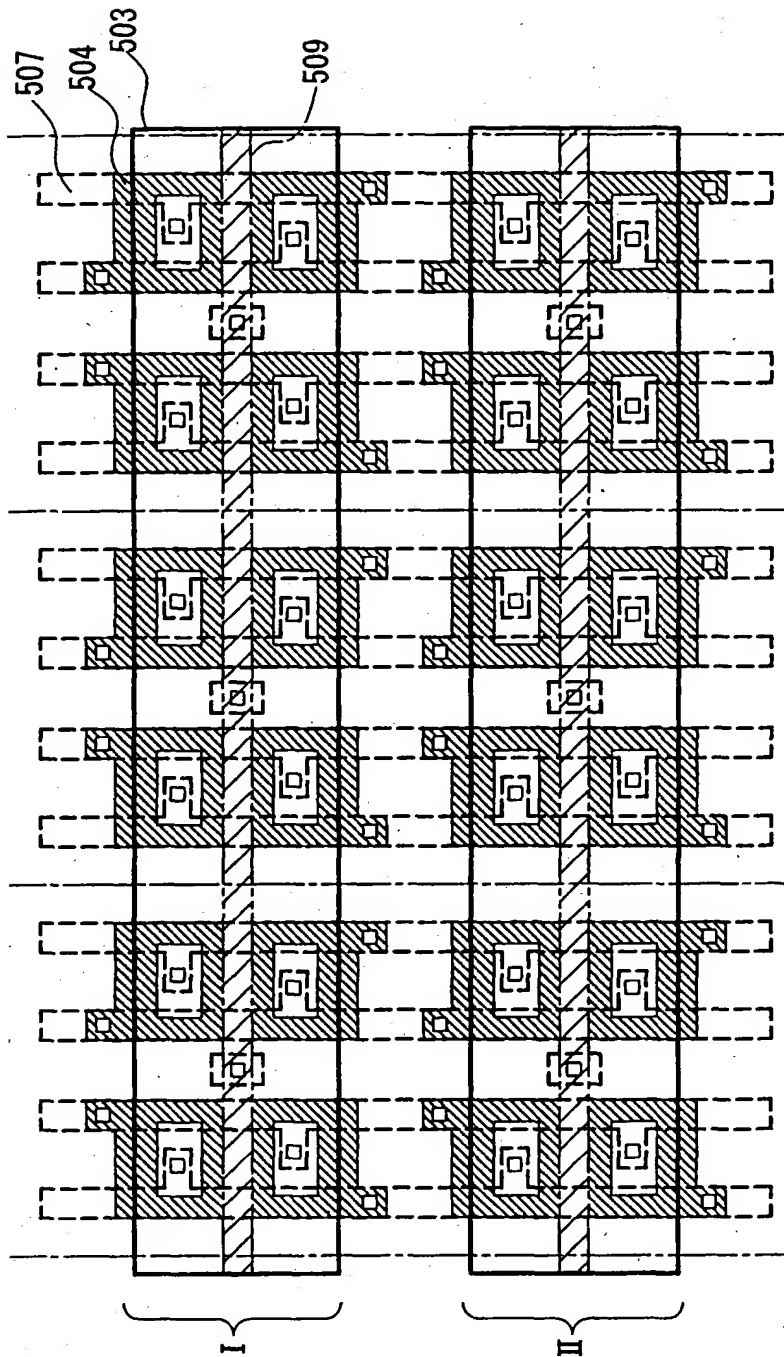


【図 4 C】





【図5】



【書類名】 要約書

【要約】

【課題】 DRAMのセンスアンプトランジスタ対間の特性差を抑制し、センスアンプの高感度化を図った半導体装置を提供する。

【解決手段】 DRAMのCMOSセンスアンプを構成するN型センスアンプトランジスタのゲート電極対104およびP型センスアンプトランジスタのゲート電極対が、それぞれ、ビット線107と同一方向に1つの活性領域103内に並行に配置され、隣接するN型センスアンプトランジスタ対および隣接するP型センスアンプトランジスタ対がSTIによって絶縁分離される。

【選択図】 図1A

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地

氏 名 松下電器産業株式会社